Matin Mohammadi

جبرانی پایانترم  401110329

سوال 7 میانترم

**در این جا بعنوان پروژه جبرانی، سوال شماره 7 میانترم را پیاده سازی می‌کنیم.**

در اینجا نیاز به یک رجیستر فایل با قابلیت ذخیره 4 آرایه 512 بیتی نیاز داریم و همچنین یک واحد پردازش ریاضیاتی که قابلیت جمع و ضرب دارد و همچنین یک حافظه با عمق 512 و عرض 32 بیت که امکان بارگزاری/ذخیره 16 خانه پشت سر هم از آن را داریم.

4 عملیات داریم که شامل ذخیره در حافظه، خواندن از حافظه، جمع و ضرب است.

ابتدا **واحد پردازش ریاضیاتی** را بررسی می‌کنیم:

توضیح ورودی و خروجی ماژول:

دو داده ورودی و یک سیگنال مشخص کننده عملیات داریم و حاصل عملیات که روی یک خروجی نوشته می‌شود (طول خروجی 16 تا 64 بیت و طول داده های ورودی 16 تا 32 بیت است و سیگنال عملیات نیز تک بیتی است)

در این واحد، دو ورودی (A1 و A2) را دریافت می‌کنیم و به آن ها بعنوان آرایه ای از 16 عدد 32 بیتی نگاه می‌کنیم. سپس با توجه به عملیات مربوطه (جمع یا ضرب) این عملیات را روی این 32 بیتی ها انجام می‌دهیم و در خروجی 1024 بیتی به صورت 64 بیت 64 بیت ذخیره می‌کنیم. (این خروجی 64 بیتی، حاصل الصاق A3 و A4 می‌باشد)

module ArithmeticProcessor (in1, in2, operation, out);

    input wire [511:0] in1, in2;

    input wire operation;

    output wire signed[1023:0] out;

    reg [1023 : 0] ans;

    reg [63:0] tmp1 = 64'b0,tmp2=64'b0;

    reg [63:0] tmp = 64'b0;

    integer i,j;

    always @(\*) begin

        if(operation == 1)begin

            for (i = 0; i < 16; i = i + 1) begin

                for(j = 0; j < 32; j = j + 1) begin

                    tmp1[j] = in1[i\*32+j];

                    tmp2[j] = in2[i\*32+j];

                end

                for(j = 32; j < 64; j = j + 1) begin

                    tmp1[j] = tmp1[31];

                    tmp2[j] = tmp2[31];

                end

                tmp = $signed (tmp1) \* $signed (tmp2);

                for (j = 0; j < 64; j = j + 1) begin

                    ans[64\*i + j] = tmp[j];

                end

            end

        end

        else if (operation == 0)begin

            for (i = 0; i < 16; i = i + 1) begin

                for(j = 0; j < 32; j = j + 1) begin

                    tmp1[j] = in1[i\*32+j];

                    tmp2[j] = in2[i\*32+j];

                end

                for(j = 32; j < 64; j = j + 1) begin

                    tmp1[j] = tmp1[31];

                    tmp2[j] = tmp2[31];

                end

                tmp = $signed (tmp1) + $signed (tmp2);

                for (j = 0; j < 64; j = j + 1) begin

                    ans[64\*i + j] = tmp[j];

                end

            end

        end

    end

    assign out = ans;

endmodule

در این واحد پردازشی، با توجه به بیت operation مشخص می‌شود که عملیات جمع لازم است یا ضرب.

به اینصورت که اگر operation = 0 آنگاه 32 بیت از هر ورودی را بر می‌داریم و با هم جمع می‌کنیم و حاصل را در 64 بیت از خروجی می‌ریزیم و این کار را برای همه 32 بیتی های متوالی انجام می‌دهیم ()

به طور مشابه با operation = 1 عملیات ضرب را انجام می‌دهیم و حاصل را در خروجی می‌ریزیم.

پس از آن نوبت به معرفی و توضیح **رجیستر فایل** می‌رسد.

module REGISTER\_FILE (clk, reset, in1, in2, write\_addr1, write\_addr2, en1,

en2, read\_addr, read\_data, A1, A2, A3, A4);

    input wire clk;

    input wire reset;

    input wire [511 : 0] in1;

    input wire [511 : 0] in2;

    input wire [1 : 0] write\_addr1;

    input wire [1 : 0] write\_addr2;

    input wire en1;

    input wire en2;

    input wire [1 : 0] read\_addr;

    output wire signed [511 : 0] read\_data;

    output wire signed [511 : 0] A1;

    output wire signed [511 : 0] A2;

    output wire signed [511 : 0] A3;

    output wire signed [511 : 0] A4;

    reg signed [511 : 0] register\_file [0 : 3];

    localparam zero = 512'b0;

    always @(negedge clk or posedge reset) begin

        if(reset) begin

            register\_file[0] = zero;

            register\_file[1] = zero;

            register\_file[2] = zero;

            register\_file[3] = zero;

        end else begin

            if (en1)

                register\_file[write\_addr1] <= (in1);

            if (en2)

                register\_file[write\_addr2] <= (in2);

        end

    end

    assign read\_data = register\_file[read\_addr];

    assign A1 = register\_file[0];

    assign A2 = register\_file[1];

    assign A3 = register\_file[2];

    assign A4 = register\_file[3];

endmodule

توضیح ورودی و خروجی ماژول:

در ورودی سیگنال کلاک و ریست داریم برای رجیستر ها، دو سری داده ورودی، دو سری آدرس نوشتن و دو سری سیگنال نوشتن داریم. همچنین یک سری آدرس نوشتن داریم و در خروجی نیز داده خوانده شده و همچنین مقادیر A1 تا A4 را داریم.

در رجیستر فایل، نیاز به کلاک برای ورودی، ریست برای صفر کردن مقدار رجیستر ها در ابتدا، 2 ورودی و سیگنال های نوشتن و آدرس نوشتن برای نوشت روی رجیستر فایل و یک خروجی و آدرس خواندن برای خواندن از رجیستر فایل داریم.

در این ماژول یک حافظه register\_file طراحی کردیم که شامل 4 آرایه 512 بیتی است. بر اساس سیگنال های reset و write و read مقادیر داخل حافظه و مقدار خروجی را مشخص می‌کنیم (بعلت اینکه می‌خواهیم نوشته شدن و خواندن از حافظه، سنکرون باشد و reset کردن، آسنکرون باشد فقط کلاک و ریست را در لیست حساسیت می‌آوریم.

پس از رجیسترفایل، نوبت به **حافظه** شامل 512 خانه 32 بیتی می‌رسد.

یک فایل به نام memory\_init.hex داریم که در آن 512 عدد هگز 32 بیتی ذخیره شده است و به کمک دستور زیر، حافظه را مقدار دهی اولیه می‌کنیم:

$readmemh("memory\_init.hex", memory);

که مقادیر آن نیز از یک کد پایتون بدست آمده اند (پس از ران کردن کد پایتون مقداری از داده ها را به صورت دستی تغییر می‌دهیم تا بعدا در تست کردن، حالات مرزی را بتوانیم داشته باشیم)

کد حافظه، به صورت زیر است:

module Memory(clk, reset, in, address, en, out\_data);

    input wire clk;

    input wire reset;

    input wire signed [511 : 0] in;

    input wire [8 : 0] address;

    input wire en;

    output wire signed [511 : 0] out\_data;

    reg signed [31 : 0] memory [0 : 511];

    reg signed [511 : 0] out;

    integer i, j;

    reg signed [31:0]tmp;

    always @(negedge clk or posedge reset) begin

            if (reset) begin

            $readmemh("memory\_init.hex", memory);

        end

        else begin

            if (en) begin

                for (i = 0; i < 16; i = i + 1) begin

                    for (j = 0; j < 32; j = j + 1) begin

                        memory[(i + address) % 512][j] <= in[32 \* i + j];

                    end

                end

            end

        end

    end

    always @(clk or reset or in or address or en) begin

        for (j = 0; j < 16; j = j + 1) begin

            tmp = memory[(j + address) % 512];

            for (i = 0; i < 32; i = i + 1) begin

                out[32 \* j + i] <= tmp[i];

            end

        end

    end

    assign out\_data = out;

endmodule

توضیح ورودی و خروجی ماژول:

در این ماژول سیگنال کلاک و ریست داریم، داده in و آدرس نوشتن و خواندن و سیگنال فعال ساز (en) همچنین یک دیتای خروجی که دیتایی است که می‌خوانیم.

ابتدا در صورت reset = 1 مقدار دهی اولیه انجام می‌شود و سپس در صورتی که en = 1 بود، عملیات خواندن 16 تایی انجام می‌شود. همچنین بلاکی داریم برای نوشتن بر خروجی.

نکته: آدرس به صورت یک عدد 9 بیتی است زیرا 512 خانه در حافظه داریم.

پس از حافظه، اکنون نوبت به این می‌رسد که این سه ماژول ساخته شده را در یک جا به هم متصل کنیم و پردازنده را بسازیم.

برای همین ماژول پردازنده را به شکل زیر طراحی می‌کنیم:

module PROCESSOR (clk, reset, instruction, A1, A2, A3, A4);

    input wire clk;

    input wire reset;

    input wire [15 : 0] instruction;

    output wire signed [511 : 0] A1;

    output wire signed [511 : 0] A2;

    output wire signed [511 : 0] A3;

    output wire signed [511 : 0] A4;

    integer i, j;

    reg signed [511 : 0] memory\_in;

    reg [8 : 0] memory\_addr;

    reg memory\_write\_en;

    wire signed [511 : 0] memory\_out;

    Memory memory (.clk(clk), .reset(reset), .in(memory\_in), .address(memory\_addr),

    .en(memory\_write\_en), .out\_data(memory\_out));

    reg [511 : 0] ap\_in1;

    reg [511 : 0] ap\_in2;

    reg operation;

    wire signed [1023 : 0] ap\_out;

    ArithmeticProcessor ap (.in1(ap\_in1), .in2(ap\_in2), .operation(operation), .out(ap\_out));

    reg [511 : 0] RF\_in\_1, RF\_in\_2;

    reg [1 : 0] RF\_write\_address\_1, RF\_write\_address\_2, RF\_read\_address;

    reg RF\_write\_en1, RF\_write\_en2;

    wire signed [511 : 0] RF\_out, RF\_A1, RF\_A2, RF\_A3, RF\_A4;

    REGISTER\_FILE register\_file (.clk(clk), .reset(reset), .in1(RF\_in\_1), .in2(RF\_in\_2),

    .write\_addr1(RF\_write\_address\_1),.write\_addr2(RF\_write\_address\_2), .en1(RF\_write\_en1),

    .en2(RF\_write\_en2),.read\_addr(RF\_read\_address), .read\_data(RF\_out), .A1(RF\_A1),

    .A2(RF\_A2), .A3(RF\_A3), .A4(RF\_A4));

    always @(posedge clk) begin

        #10

        if(instruction[15] == 0) begin

                memory\_addr <= instruction[8 : 0];

                RF\_write\_en2 <= 0;

            if(instruction[14] == 0) begin

                memory\_write\_en <= 0;

                RF\_write\_en1 <= 1;

                RF\_write\_address\_1 <= instruction[10 : 9];

                #10

                RF\_in\_1 <= memory\_out;

            end

            else if(instruction[14] == 1)begin

                memory\_write\_en <= 1;

                RF\_write\_en1 <= 0;

                RF\_read\_address <= instruction[10 : 9];

                #10

                memory\_in <= RF\_out;

            end

        end

        else if (instruction[15] == 1) begin

            memory\_write\_en <= 0;

            RF\_write\_en1 <= 1;

            RF\_write\_en2 <= 1;

            RF\_write\_address\_1 <= 2'b10;

            RF\_write\_address\_2 <= 2'b11;

            ap\_in1 <= RF\_A1;

            ap\_in2 <= RF\_A2;

            if(instruction[14] == 0) begin

                operation = 1'b0;

                #10;

            end

            else if(instruction[14] == 1)begin

                operation = 1'b1;

                #10;

            end

            for(i = 0; i < 16; i = i + 1) begin

                    for(j  = 0; j < 32; j = j + 1) begin

                    RF\_in\_1[32 \* i + j] <= ap\_out[64 \* i + j];

                    RF\_in\_2[32 \* i + j] <= ap\_out[64 \* i + 32 + j];

                    end

                end

        end

    end

    assign A1 = RF\_A1;

    assign A2 = RF\_A2;

    assign A3 = RF\_A3;

    assign A4 = RF\_A4;

endmodule

توضیح ورودی و خروجی ماژول:

ورودی های ماژول، سیگنال کلاک و ریست و دستور 16 بیتی است و خروجی آن، 4 داده A1 تا A4

در پردازنده، ابتدا از 3 ماژول instance می‌گیریم و سپس کاری که انجام می‌دهیم به این صورت است که یک دستور 16 بیتی را در نظر گرفته و دو بیت سمت چپ آن را بعنوان opcode در نظر می‌گیریم. این دو بیت، 4 عملیات را پشتیبانی می‌کنند که در بلاک always مشخص کرده ایم. با دیدن هر دستوری، یک سری مقدار دهی اولیه داریم و پس از آن، مدت کوتاهی صبر می‌کنیم تا دستور انجام پذیرد و سپس خروجی ها را مقدار دهی می‌کنیم.

برای مثال دستور با opcode = 00 دستوری است که از حافظه بر روی رجیستر مشخص شده می‌خوانیم. آدرس رجیستر با بیت 10 و 9 و آدرس خانه حافظه نیز با بیت 8 تا 0 مشخص می‌شود.

در اصل، ما با داشتن 13 بیت، می‌توانیم تمامی دستورات را پوشش دهیم (دستورات جمع و ضرب که با 2 بیت نیز پوشش داده می‌شوند و دستورات لود و استور نیاز به opcode و address و source/destination دارند که 13 بیت می‌شود.) اما قالب دستورات را 16 بیتی در نظر می‌گیریم به 2 دلیل:

1. بتوانیم در آینده در صورت نیاز، پردازنده را ارتقاع دهیم و دستورات دیگری به آن اضافه کنیم.
2. طول قالب دستورات توانی از 2 باشد.

حال نوبت به این می‌رسد که برای ماژول پردازنده، یک تست طراحی کنیم به این شکل که برای ماژول، دستور را مشخص کنیم و منتظر باشیم و ببینیم که پس از اجرای دستور، روی A1 تا A4 چه چیزی نوشته می‌شود.

خلاصه دستورات: (دقت که بیت 13 تا 11 بلا استفاده اند)

00-> load (register\_file [instruction [10:9]] = memory [instruction [8:0]])

01 -> store (memory [instruction [8:0]] = register\_file [instruction [10:9]])

10 -> add (A4 [i]:A3 [i] = A1 [i] + A2 [i])

11 -> mul (A4 [i]:A3 [i] = A1 [i] \* A2 [i])

تست بنچ زیر، دو تا عملیات لود، یک عملیات جمع و یک عملیات استور را دارد و سپس مقدار استور شده را دوباره لود می‌کند.

mmodule TB;

    reg clk;

    reg reset;

    reg [15 : 0] instruction;

    wire [511 : 0] A1;

    wire [511 : 0] A2;

    wire [511 : 0] A3;

    wire [511 : 0] A4;

    PROCESSOR processor (clk, reset, instruction, A1, A2, A3, A4);

    initial

        clk = 0;

    always

        #20 clk = ~clk;

    initial begin

        reset <= 1;

        #50

        reset <= 0;

        instruction <= 16'b00\_000\_00\_000000000; //load first 16 to A1

        #500

        instruction <= 16'b00\_000\_01\_000000001; // load next 16 to A2

        #500

        instruction <= 16'b10\_000\_00000000000; // add

        #500

        instruction <= 16'b01\_000\_10\_000000000; // store A3 to the first part of memory

        #500

        instruction <= 16'b00\_000\_00\_000000000; //load first 16 to A1

        #500

        $stop;

    end

    initial

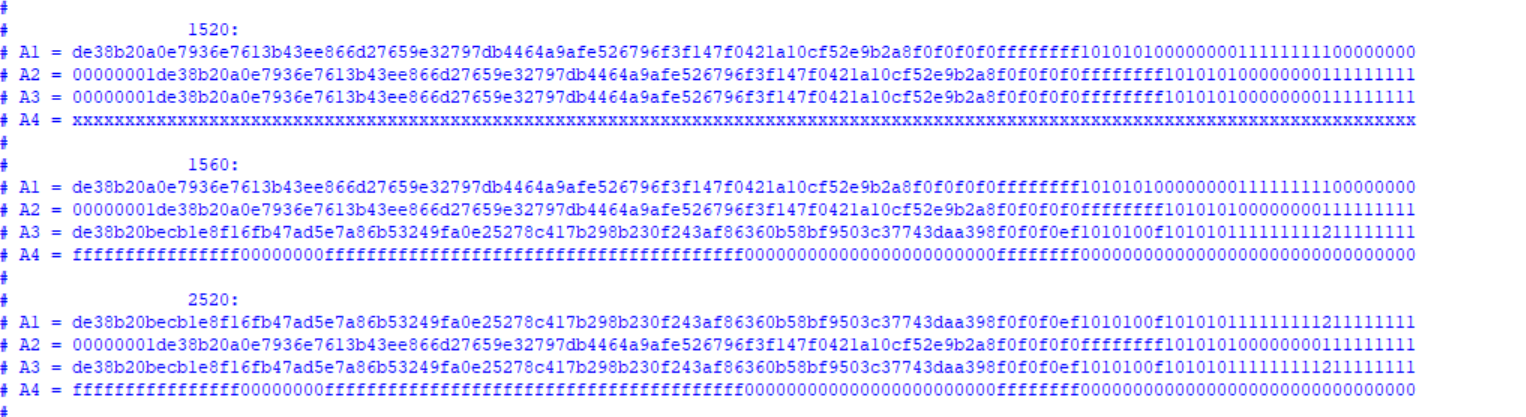
        $monitor($time, ":\nA1 = %h\nA2 = %h\nA3 = %h\nA4 = %h\n",

                    A1, A2, A3, A4);

endmodule

در خروجی، تغییرات را مشاهده می‌کنیم:

سپس:



نکته: ظهور x در A1 و A4 تاثیر منفی در نتیجه محاسبات نمی‌گذارد و صرفا بعلت وجود تاخیر ایجاد می‌شود (همانطور که مشاهده می‌شود در فاصله زمانی خیلی کوتاهی این مشکل برطرف می‌شود)

در این تست به خوبی مشاهده می‌شود که لود و استور و جمع و لود دوباره کار می‌کنند. (مشخص است که در جمع، به آن صورت اورفلو نداریم و محتوای A4 صرفا علامت است)

برای نمونه، 8 رقم سمت چپ A1 که de38b20a است را با 8 رقم سمت چپ A2 که 00000001 است جمع کرده ایم و حاصل de38b20b پدید آمده است و چون این عدد منفی است، حاصل آن در A4، عدد منفی 1 را حاصل می‌کند (ffffffff)

در تست بعدی، بجای جمع، ضرب می‌گذاریم تا از درستی کارکرد آن نیز اطمینان حاصل کنیم:

initial begin

        reset <= 1;

        #50

        reset <= 0;

        instruction <= 13'b00\_00\_000000000; //load first 16 to A1

        #500

        instruction <= 13'b00\_01\_000000001; // load next 16 to A2

        #500

        instruction <= 13'b11\_00000000000; // mul

        #500

        instruction <= 13'b01\_10\_000000000; // store A3 to the first part of memory

        #500

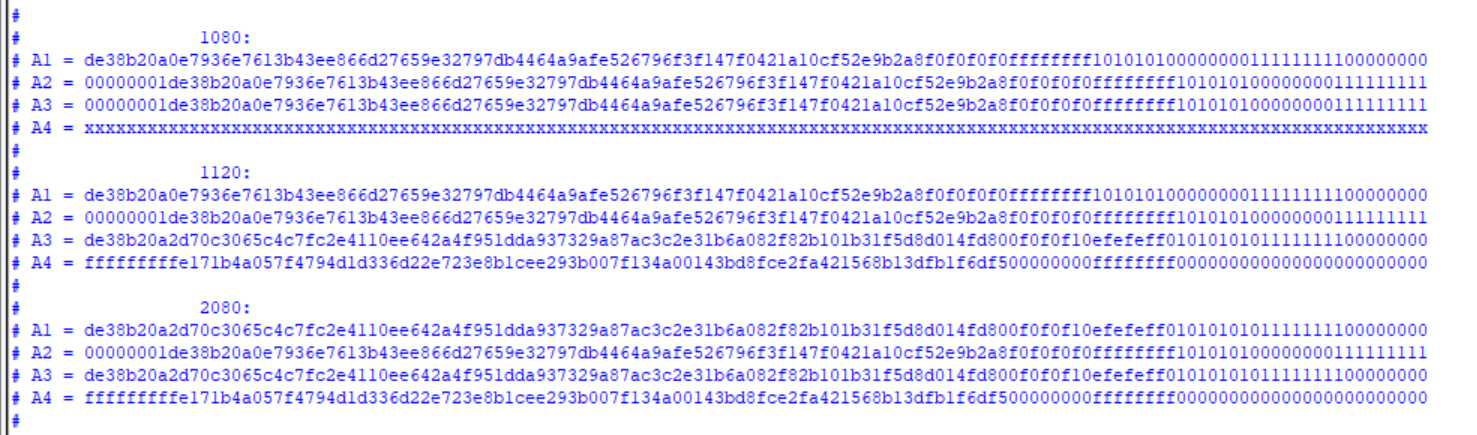
        instruction <= 13'b00\_00\_000000000; //load first 16 to A1

        #500

        $stop;

    end

در اینجا بخش لود کردن که دقیقا مشابه قبل است، برای بخش حاصل ضرب داریم:

نکته: مجددا مانند بالا، تغییرات ناخواسته ای داریم که پس از 40 واحد زمانی اصلاح می‌شوند و در عملکرد کلی پردازنده ایرادی ایجاد نمی‌کنند. 

که مشاهده می‌شود ضرب نیز به درستی محاسبه شده است (مثلا 8 رقم سمت چپ A1 و A2 را بررسی می‌کنیم) و همچنین می‌بینیم که اورفلو 32 بیتی ضرب ها اعمال شده است و در A4 مقادیر high هر ضرب محاسبه شده و قرار داده شده اند.

8 رقم چپ A2 برابر با 00000001 و 8 رقم سمت چپ A1 برابر با de38b20a است که ضرب آنها به وضوح de38b20a است که درسمت چپ A3 مشاهده می‌شود.

در ادامه، تعدادی دستور متوالی جمع و ضرب و لود و استور می‌آوریم تا از صحت پردازنده اطمینان بیشتری حاصل شود.

reset <= 1;

        #50

        reset <= 0;

        instruction <= 13'b00\_00\_000000000; //load first 16 to A1

        #500

        instruction <= 13'b00\_01\_000100001; // load next 16 to A2

        #500

        instruction <= 13'b11\_00000000000; // mul

        #500

        instruction <= 13'b10\_00000000000; // add

        #500

        instruction <= 13'b01\_11\_000010000; // store A4

        #500

        instruction <= 13'b01\_10\_000000000; // store A3

        #500

        instruction <= 13'b11\_10110011000; // mul

        #500

        instruction <= 13'b00\_00\_000000000; //load first 16 to A1

        #500

        instruction <= 13'b00\_01\_000000000; //load first 16 to A2

        #500

        $stop;

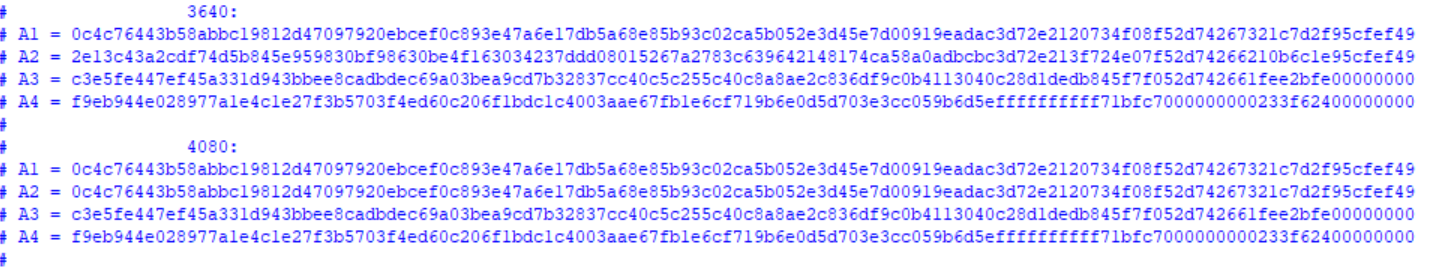
قسمت زمانی اول:



قسمت زمانی دوم:



قسمت زمانی سوم:



بدین ترتیب از صحت عملکرد پردازنده اطمینان حاصل می‌کنیم و پردازنده مدنظر طراحی می‌شود.